

参考資料4

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-107055

⑬ Int. Cl.⁴

H 01 L 23/50
23/04

識別記号

庁内整理番号

X-7735-5F
E-6835-5F

⑭ 公開 昭和63年(1988)5月12日

審査請求 有 発明の数 3 (全10頁)

⑮ 発明の名称 集積回路用パッケージ

⑯ 特 願 昭62-125733

⑰ 出 願 昭62(1987)5月25日

優先権主張 ⑱ 昭61(1986)6月2日 ⑲ 日本(JP) ⑳ 特願 昭61-127739

㉑ 発 明 者 日 高 紀 雄 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

㉒ 発 明 者 平 地 康 剛 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

㉓ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉔ 代 理 人 弁理士 青 木 朗 外3名

明 細 書

1. 発明の名称

集積回路用パッケージ

2. 特許請求の範囲

1. 一方の面に接地用導体を形成し、他方の面に複数本の導電パターンを形成した誘電体基板を有し、該導電パターンを介して内部に収納した集積回路を外部回路に接続する集積回路用パッケージにおいて、上記導電パターン間に誘電体基板を貫通して接地用導体に連絡される導電柱を設けたことを特徴とする集積回路用パッケージ。

2. 一方の面に接地用導体を形成し、他方の面に複数本の導電パターンを形成した第1の誘電体基板を有し、該導電パターンを介して内部に収納した集積回路を外部回路に接続する集積回路用パッケージにおいて、上記導電パターン間に誘電体基板を貫通して接地用導体に連絡される導電柱を設けるとともに、該導電パターン上に上記第1誘電体基板の導電柱の少なくとも一部に電気的に接続される導電柱を埋込んだ第2の誘電体基板を重

合配置したことを特徴とする集積回路用パッケージ。

3. 一方の面に接地用導体を形成し、他方の面に複数本の導電パターンを形成した第1の誘電体基板を有し、該導電パターンを介して内部に収納した集積回路を外部回路に接続する集積回路用パッケージにおいて、上記導電パターン間に誘電体基板を貫通して接地用導体に連絡される導電柱を設けるとともに、上記第1誘電体基板と反対側の面に導電被膜を形成した第2の誘電体基板を第1誘電体基板の導電パターン上に重畳配置し、該第2誘電体基板に上記導電被膜並びに第1誘電体基板の導電柱の少なくとも一部に電気的に接続される導電柱を埋込んだことを特徴とする集積回路用パッケージ。

3. 発明の詳細な説明

(摘 要)

集積回路用パッケージの外部接続端子部の導電パターン間に導電体(柱)を設けることにより、信号の反射およびクロストークを減少させる。

(産業上の利用分野)

本発明の詳細な説明は集積回路に関し、特に超高速集積回路を収納するパッケージに関する。

(従来の技術とその問題点)

第12、13図は従来の集積回路パッケージを示すもので、第12図はその外観斜視図、第13図はこのパッケージの内部に集積回路（以下、ICと略称する）1を収納し、これを外部接続端子部2を通して外部回路3と接続したときの横断面図（X-X'線断面）である。外部接続端子部2は銅等の金属基板4に誘電体であるアルミナの環状棒5（第1アルミナ棒）を固着し、この第1アルミナ棒5上に接続用の導電パターン6（6a、6b、6c）を設け、更に、導電パターン6b上に背面が封止用導電リング7で覆われたアルミナ棒8を重ねて構成される。

導電パターン6bはアルミナ棒5上にタングステンペーストをラミネート状に形成したものである。一方、導電パターン6a、6cはタングステ

く、特性インピーダンス Z_0 を有する導電パターン6bの線路9に封止用導電リング7の長さに応じたリング共振線路10が結合されたことになり、特定の周波数帯では線路の特性インピーダンスはもはや Z_0 とは異なった値となる。従って、特性インピーダンス Z_0 を有する信号源（図示せず）からリード線9に入力された信号は、インピーダンス不整合により、導電パターン6bにより反射され、この反射された信号によってIC、特に超高速論理回路の誤動作を引き起こす。

更に、この誤動作に加え、上記の如き導電パターン6の並置配列構造により導電パターンがアルミナ（アルミナ棒5、8）を介して電磁氣的に結合され、その結果電磁干渉ともいふべき好ましからざるクロストークが発生する。

このクロストークの発生の可能性は高速のパルス信号の周波数成分が高くなる程大きい。

このような問題を解決するために、特開昭58-190046号公報には第16図に示す如き改良構造が提案されている。これによれば、金属製

ンペーストのメタライズ（6cに相当）上にNi（ニッケル）およびAu（金）鍍金を施したものであり、外方の導電パターン6cの一部はリード片9を介して外部回路3に接続される。また、内方の導電パターン6aはリード線61によりIC1に接続される。

封止用導電リング7はアルミナ棒8の表面をタングステンペーストでメタライズした後、これをNiおよびAu鍍金することにより、導電パターン6bと同様に形成される。斯くして、導電パターン6bはアルミナ棒5、8と共にラミネート構造を形成する。

第14図は第12図に示されるICパッケージの長手断面図であり、隣接して並置された導電パターン6の平行配列構造を示す。

第12～14図に示す従来のICパッケージにおいては、導電パターン6bと封止用導電リング7とは比誘電率6.9のアルミナ（アルミナ棒8）を介して電磁氣的に結合され、その結果共振現象が生じる。これは、等価的には第15図に示す如

のパッケージハウジング40に貫通孔40Aが形成され、ここに対応の接続用端子ユニット31が装入される。各端子ユニット31はその外面にストリップライン30をラミネート状に形成した誘電体基板29と、このストリップライン30上に置かれ誘電体基板29に一体的な誘電体ブロック33とを有する。ストリップライン30にはリード片9が接続され外部回路3（第13図）との接続に供する。

第17図は第16図に示されるICパッケージの端子ユニットの製造プロセスを示すもので、まず同図（a）に示す如く、所定パターンのタングステンペースト（ストリップライン30に相当）がアルミナ生セラミック板（誘電体基板29に相当）に形成され、次いで同図（b）に示す如く、より小さいアルミナ生セラミック板（誘電体ブロック33に相当）が誘電体基板29上に堆積される。その後、この組立体全体を焼結した後、第17図（c）に示す如く、パターン30をAu鍍金し、更に、組立体（端子ユニット）の底面、及

び側面、並びに小さいアルミセラミック板（誘電体ブロック33）の上面をメタライズして完成する。

これによれば、ストリップライン30は誘電体基板33により2つの部分に分割され、その一方（外方部分）はリード片9を介して外部回路3に接続され、他方（内方部分）はパッケージの内部回路（IC等）に接続される。

しかしながら、この第16、17図の構造においては、金属ハウジングによりストリップ・ライン30がシールドされるが、第17図の如く端子ユニット31を形成するのが複雑であり、特に、多数の電気端子部を有するICパッケージに適用するときはその製造は一層困難さを増す。

また、金属ハウジングの外側に位置するストリップ・ライン間のクロストークを防止することができない。

そこで、これを解決するために更に他の従来例として、第18図に示すICパッケージがある。第18図において、40は金属ハウジング、40

Aは貫通口、22は蓋体、9はストリップ・ライン30につながる外部リード片、29は端子ユニット31の誘電体基板である。この例では、リード片9間のクロストークを防止するために、隣接したリード片またはストリップライン30の間に金属ハウジングに接続したメタライズ膜25を誘電体基板29の表面に設けている。それにより、ストリップ・ライン間のクロストークの防止効果を得られる。しかしながら、この構造では、メタライズ膜25の形成に製造上の困難性があり、電気端子を高密度に配置するのに適さない。また、誘電体基板29の表面部にのみメタライズ膜25が形成されているので、誘電体内部を通して電磁的カップリングが生じることを防止できない。

更にまた、上記の従来技術においては、リード片9は通常、第12図に100で示す如く、鍍あるいは半田等により導電パターン8cに融着されるが、しかしながら、その半田等のパターン形状（即ち、量）には殆ど考慮を払っていないのが実情である。融着部の量、あるいは形状は上記のイ

ンピーダンス整合の良否に大きく左右する。つまり、従来はこのインピーダンス整合に殆ど配慮していなかった。従って、半田等の溶融接合剤100はリード片9の外側に不規則状に四方にはみ出し、インピーダンスマッチングに悪影響を与えていた。

本発明の目的は前記した従来の導電パターンと導電リングによる共振、および各導電パターン間の電磁氣的結合を無くし、且つ外部接続端子部のインピーダンスを信号源の特性インピーダンスに近付けることによって、上述した反射およびクロストークを減少せしめることができるとともに、製造が容易な集積回路パッケージを提供することにある。

本発明の別の目的は良好なインピーダンス整合を実現し得るICパッケージを提供することである。

（問題点を解決するための手段）

上記の目的を達成するために本発明によれば、

一方の面に接地用導体を形成し、他方の面に複数本の導電パターンを形成した誘電体基板を有し、該導電パターンを介して内部に収納した集積回路を外部回路に接続する集積回路用パッケージにおいて、上記導電パターン間に誘電体基板を貫通して接地用導体に連結される導電柱を設けたことを構成上の特徴とする。

また別の本発明によれば、上記第1誘電体基板の導電パターン上に上記第1誘電体基板の導電柱の少なくとも一部に電気的に接続される導電柱を埋込んだ第2の誘電体基板を重ね配置される。

更にまた別の本発明によれば、上記第2の誘電体基板には第1誘電体基板と反対側の面に導電被膜が形成され、第2誘電体基板に埋込まれる導電柱は上記導電被膜並びに第1誘電体基板の導電柱の少なくとも一部に電気的に接続される。

（作 用）

上記の本発明の構成によれば、第1の誘電体基板の導電パターン間に接地された導電体を設けた

ので、導電パターン間のクロストークを防止することができる。

また、第2の誘電体の導電皮膜（封止用導電リング）に接地導電柱を設け、封止用導電リングを接地したので、前記第15図のリング10が等価的に短くなり、共振周波数が非常に高くなり、集積回路の所要帯域での共振が起こらなくなり、共振周波数での特性インピーダンスの変化がないので、集積回路の所要帯域を通じて、外部接続端子部の導電体を含む相互の寸法の設定により外部接続端子部のインピーダンスを信号源の特性インピーダンスを信号源の特性インピーダンスに近付けることによって、信号の反射を防止することができる。

〔実施例〕

以下本発明を図面を参照して実施例によって詳細に説明する。

第1図は本発明の集積回路のパッケージの一実施例の斜視図である。該パッケージはIC（第1

15はタングステンペーストにより形成され、導電パターン14、16は導電パターン15のタングステンペースト上にNi-AuまたはAu鍍金により形成される。

基板11上に搭載されるIC（ICチップ）1は例えばウェスティングハウス エレクトリック社製のコバル（Kovall）にAu鍍金したリード線81によりICパッケージの内部に位置する導電パターン16に接続される。

第3A図、第3B図は第1図のIIIA-IIIA、IIIB-IIIB断面図である。第3A、3B図に示す如く隣接する導電パターン14、16の両側には断面円形の貫通孔51aが形成され、これら貫通孔内に導電柱19aが埋め込まれる。

図示実施例においては、各導電パターン14の両側には2組の導電柱19aが配置され、且つ各導電パターン16の両側には1組の導電柱19aが配置されているが、導電柱19aの数は図示実施例のものには何等限定されず、基本的には導電パターン14あるいは16間に少なくとも1個の

図には図示せず）を搭載する支持台と 導電体を兼ねた銅ブロック11上に誘電体である中空の矩形アルミナ枠（第1アルミナ枠）12が固され、該枠の一边に4個、四辺で16個のバー状の外部接続端子14が設けられ、該端子上面には気密封止用の重を融着するための導電皮膜17が施されている小さな誘電体である中空の矩形のアルミナ枠（第2アルミナ枠）13が固着されている。導電皮膜17は加熱により溶融してその上に置かれる重体22を融着する。

第2図は第1図のB-B線断面図である。外部接続端子部はIC1を搭載する銅の接地用導電板（基板）11上に、誘電体である第1のアルミナ枠12を固着し、このアルミナ枠上にバー状の接続用導電パターン（電源線路、信号線路）14、15、16を設けている。

導電パターン14、15、16は夫々第13図に示す導電パターン6a、6b、6cに対応し、導電パターン6a、6b、6cと同様の前述のプロセスにより製造される。即ち、導電パターン

導電柱があればよい。また、導電柱19aは図示実施例の如く規則的に配置することも必ずしも必要ではない。

そのような変形配置の一例を第9図に示す。同図において、導電柱19aは3個の導電パターン14毎に2個宛配置されている。つまり、導電柱19aは各々が3個の導電パターン14を有する導電パターン群間に2個宛配置されていると考えることができる。このような実施例は、同一の導電パターン群内の導電パターン間におけるクロストークはそれほど問題にならないような導電パターンの設計となっている時に特に有用である。

貫通孔51aは第1アルミナ枠12の板厚を貫通して延びる。

他方、第4図から判るように、導電柱19bを埋め込んだ断面円形の貫通孔51bが隣接する導電パターン15の両側でアルミナ枠12内に設けられる。

封止用導電リング17を後面（上端面）に有する第2アルミナ枠13は第2図に示す如く導電パ

ターン15上に置かれる。第4図において貫通孔51bは第1、第2アルミナ枠12、13を共に貫通し、かつ封止用導電リング17の下方に置かれている。

例えば、導電体19a、19bは0.1~0.5mm、導電パターン14、15、16の幅は0.2~0.5mm、アルミナの枠12、13の厚みは、0.2~0.4mm、X方向の幅は6~20mm、Y方向の幅は8~20mmに形成される。

以上の構成で、伝送経路の導電パターン14、16(アルミナ枠13をはすれた部分)は、導電パターン14、16を中心導体とし、銅ブロック11とこれに接続された導電柱19aを接地用導体とする経路からなっており、電磁界の殆どが銅ブロック11と導電柱19aに終端される。したがって、隣接する導電パターン間の電磁干渉は、減少し、クロストークの減少に役立つ。また、経路の特性インピーダンスZ₀は導電パターン14、16と銅ブロック11および導電柱19aとの距離を変えることによって任意の値にできる。従っ

て、号源と実質上同一のインピーダンスの経路ができて、インピーダンスの不整合による反射をなくすることができる。

導電パターン15に関しては、導電パターン15を中心導体とし、その周りを接地導体の銅ブロック11とこれに接続された導電柱19bと、これに接続された封止用リング17の連続導体で囲まれた経路から成っており、電磁界はこれらの接地導体に終端される。即ち、銅ブロック11、導電柱19bおよび封止用リング17は電磁界が外部へ漏れるのを防ぐシールド効果の役目をなす。したがって、隣接する導電パターン間の電磁干渉はなくなり、クロストークを無くすることができる。また、経路の特性インピーダンスZ₀は銅ブロック11、導電柱19bおよび封止用導電リング17との距離を変えることによって任意の値にすることができる。したがって、信号源と同じインピーダンスの経路ができて、インピーダンスの不整合による反射をなくすることができる。また、封止用導電リングを複数箇所て接地したので、前

記第15図のリング10が等価的に短くなり、共振周波数が非常に高くなり、共振回路の所要の帯域で共振が起らなくなり、特定の周波数でリング共振により、外部接続端子部で伝送路の特性インピーダンスが変化することを防止できる。

次に、本発明の実施例のICパッケージの製造について説明する。

本実施例の導電柱19a、19bを形成するには、アルミナを焼結する前のグリーンシート(生セラミック版)の状態で、ツールで所要の穴51a、51bをあけ、次にタングステンペーストをこの穴の中にローラ等で押し込むことにより形成する。この時、所要の導電パターン14、15、16も同時に所定パターンのスクリーン状のマスクを用いて形成することができる。上方のアルミナ枠13に形成する導電柱19bは、アルミナ枠13をアルミナ枠12に重ねた後に、ツールで両者を貫通する穴をあけ、この穴にタングステンペーストを押し込むことで形成することができる。取扱い、アルミナ枠12とアルミナ枠13に別々

に穴51a、51bをあけ、それぞれにタングステンペーストを押し込み、その後両者を位置合せして、アルミナ枠12の導電柱とアルミナ枠13の導電柱とを接続するようにしてもよい。尚、このとき、前記第5図のように、同一列の導電柱19aを導電パターン21で接続する構成としておけば、アルミナ枠12、13の導電柱19bの位置合せにずれが生じたとしても、両者の電気的接続が確保できる。また、第5図のように、両側に設けた各導電体19a間を導電パターン21で接続することにより、隣接する導電パターン14間の電磁干渉をさらに低減することができる。

インピーダンス不整合を減少するために本発明によれば、IC1を外部回路3(第13図)に電気的に接続するためのリード片(端子)9は対応導電パターン14に例えば銀糊100により溶着されるが、その際に第6図に示すごとく、銀糊の面積ないしは形状に考慮が払われている。即ち、前述の如く従来技術では銀糊の面積については、殆ど考慮がなされておらず、そのためリード片か

ら不規則状にはみ出しインピーダンス不整合の
大を招いていた。

しかるに、第6図から分かるように、本発明によれば各リード片9は狭小の端部9aを有し、この部分が図10により対応導電パターン14に溶着される。図10はリード片9の幅と実質上同一の幅を有する。即ち、図10はリード片9の正確な延長部を構成し、こうして良好なインピーダンスマッチングを確保することができる。

第7、8図は本発明の別の実施例を示す。第7図においては第2アルミナ枠13(第1図)は除去されている。即ち、第7、8図に示す実施例では、ICチップ1は樹脂モールド70により直接封入されている。IC1は銅等の金属基板11上に搭載され、リード線61により導電パターン67に接続される。導電パターン67は例えば、第1アルミナ枠12上に設けられるタングステンペーストの導電パターン15上に施されるAu層金により形成される。また、この実施例において

は導電柱69は導電パターン67間に設けられる対応の貫通孔68内に埋めこまれる。

これとは別に、もし、第7図に示すICパッケージが別の大きなパッケージあるいはハウジング(図示せず)内に実装、封入される場合にはICパッケージを樹脂モールド70で封入する必要はない。

第10A、10B図は本発明の更に別の実施例を示す。第10A、10B図においては、第2アルミナ枠13'はスペーサとして用いられる。

従って、アルミナ枠13'は導電皮膜17(第1図)を有さない。従って、アルミナ枠13'には導電柱19b(第1図)も設けられていない。ICパッケージは非導電体である蓋体22'によりシールされる。蓋体22'は電気的絶縁性の適当な接着剤17'によりスペーサ13'に固着される。

第10A、10B図に示す実施例の上記以外の構成に関しては、第1図に示す第1実施例の構成と同様である。第10A、10B図に示す実施例

における部品は第1実施例の対応部品と同一の参照番号で示し、説明を省略する。

第11図は周波数に対する挿入損失の実験結果を示す。同実験においては14端子を有するフラットICパッケージを用いた。

この実験から判るように、本発明によれば、実験で示す如く挿入損失は周波数が18GHz以下のとき、概えず0.2dB以下であり、遮断周波数は約18GHzと比較的高い値を示した。一方、従来技術によれば破線で示す如く、挿入損失にディップが生じ、遮断周波数も約7GHzとはるかに小さかった。尚、ここで言う従来技術とは導電パターン間に導電柱を設けていないものをいう。この小さな遮断周波数は主として第2アルミナ枠上に設けられる封止用導電リングの寄生共振によるものと考えられるが、本発明ではこの寄生共振は観測されなかった。

第11図における一点鎖線は比較例を示すもので、この比較例のICパッケージは本発明と同様に導電パターン間に導電柱を配設したものである

が、インピーダンス整合を行っていないものである。即ち、比較例(従来技術ではない)においてはリード片(端子)をICパッケージの導電パターンに連結するための図12に示すものに相当し、リード片から不規則状にはみ出した状態となっている。

この比較例から分かるように、第6図に示す如く溶融接合部を改良することにより遮断周波数が更に大きくなり、また挿入損失が更に減少することが理解される。

このように、本発明の集積回路パッケージは、従来のパッケージより、クロストーク防止がより完全でありインピーダンスマッチングも容易であり、その製造も単に導電柱形成のための穴あけが追加される程度であり、しかもその穴あけは所要数一度に形成することが可能であり、従来の集積回路パッケージより簡単であり、コストが低減できる。

以上本発明を実施例を用いて説明したが、導電柱の形は、円形のみならず四角、楕円形等を用い

ることでもある。また、本発明が上記実施例の高速論理回路以外に、リニア素子や増幅回路等にも適用できることは勿論である。

【発明の効果】

以上のように、本発明は集積回路パッケージの外部接続端子部の導電パターン間に誘電体を貫通する導電柱を設けることによって信号の反射および隣接する導電パターン間のクロストークを減少させることができるので、誤動作を起こすことがなく、信頼度の高い超高周波集積回路とすることができ、実用上の効果は大きなものがある。

また、本発明の集積回路パッケージは、従来のパッケージより、クロストーク防止がより完全でありインピーダンスマッチングも容易であり、その製造も単に導電性形成のための穴あけが追加される程度であり、しかもその穴あけは所要数を一度に形成することが可能であり、従来の集積回路パッケージより簡単且つ低コストで製造可能である。

4. 図面の簡単な説明

第1図は本発明の一実施例に係るICパッケージの部分破断斜視図、第2図は第1図のII-II線断面図、第3A図、3B図はそれぞれ第1図のIIA-III A線、IIB-III B線断面図、第4図は第1図のIV-IV線断面図、第5図は本発明の別の実施例に係るICパッケージの斜視図、第6図はアルミナ枠上に設けられる導電パターンに溶着されるリード片の拡大斜視図、第7図は本発明の更に別の実施例に係る、第2アルミナ枠を有さないICパッケージの拡大斜視図、第8図は第7図に示すICパッケージを樹脂モールドで直接封入した状態を示す断面図、第9図は導電パターン間に設けられる導電柱の配置の一例を示す斜視図、第10A図は本発明の更に別の実施例に係る、アルミナ枠をスペーサとして使用したICパッケージの斜視図、第10B図は第10A図の横断面図、第11図は本発明により実現される改良インピーダンス整合に関する実験結果を従来技術との比較において示す線図、第12図は従来技術に係るIC

パッケージの斜視図、第13図は第12図におけるX-X'線断面図、第14図は第12図におけるY-Y'線断面図、第15図は第12図に示されるICパッケージの等価回路を示す図解図、第16図は別の公知ICパッケージの斜視図、第17図は公知ICパッケージの製造プロセスを示す図解図、第18図は更に別の公知ICパッケージの斜視図。

11・・・銅ブロック、12・・・第1アルミナ枠、13・・・第2アルミナ枠、14・・・外部接続端子部、17・・・導電皮膜（封止用リング）、14、15、16・・・導電パターン、19a、19b・・・導電柱。

Fig. 1

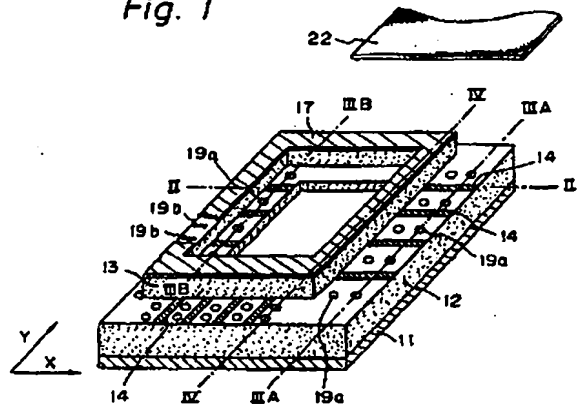


Fig. 2

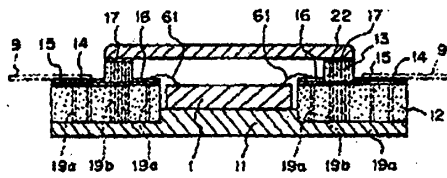


Fig. 3A

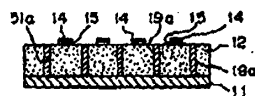


Fig. 3B

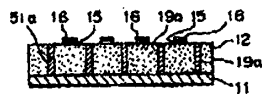


Fig. 4

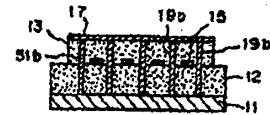


Fig. 5

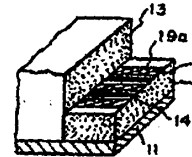


Fig. 6

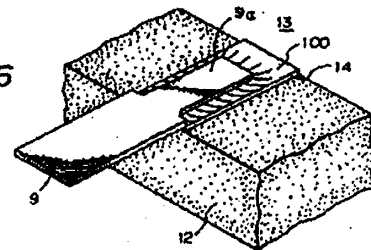


Fig. 8

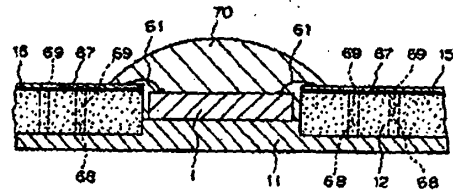


Fig. 9

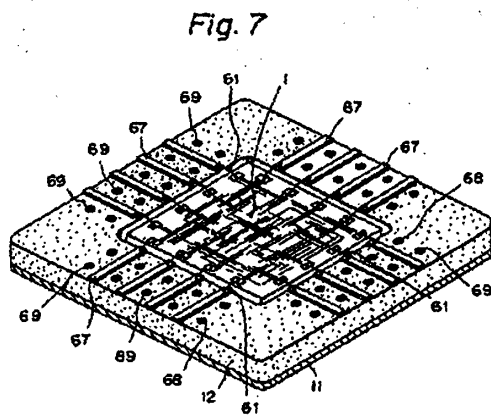
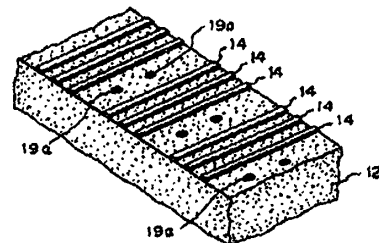


Fig. 10A

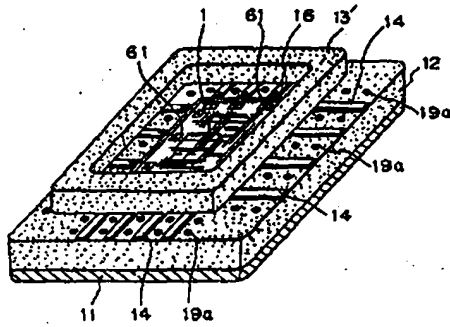


Fig. 10B

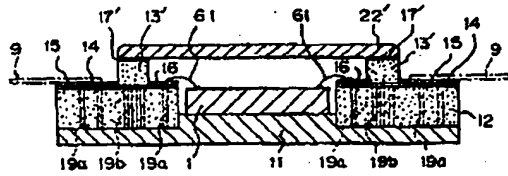


Fig. 12

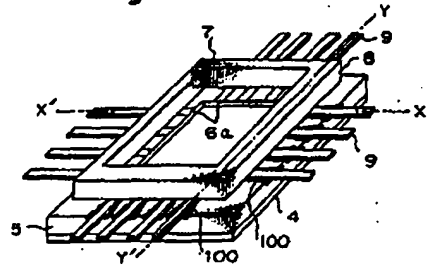


Fig. 13

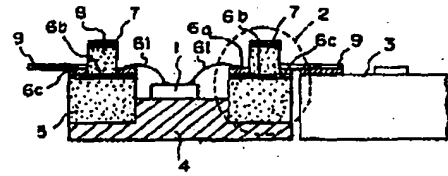


Fig. 14



Fig. 11

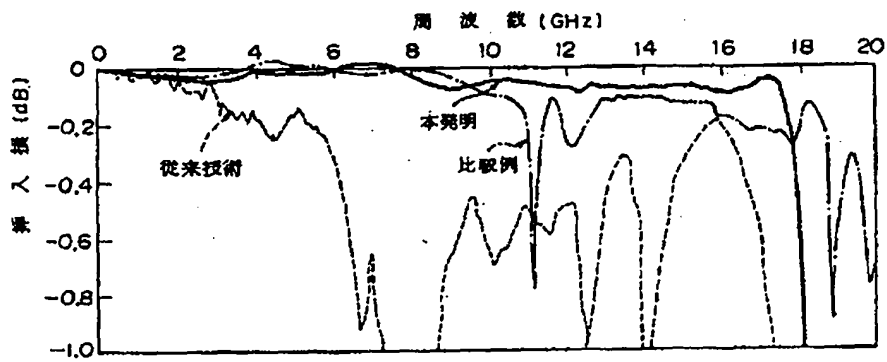


Fig. 15

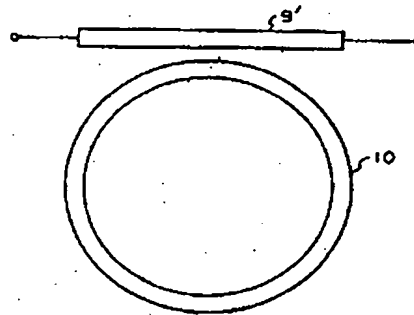


Fig. 16

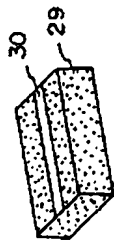
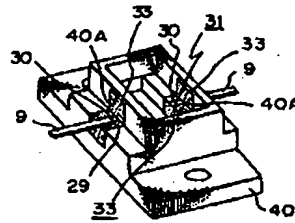


Fig. 17 a

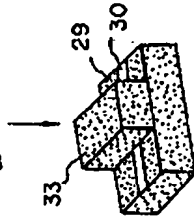


Fig. 17 b

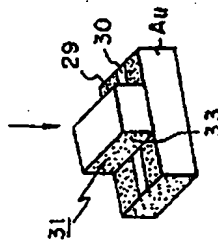


Fig. 17 c

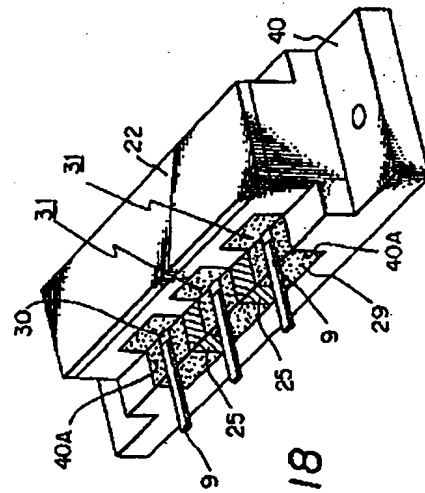


Fig. 18